

JP3x 系列 LTE Mini PCIe 模组 硬件手册

V1.1



合肥东芯通信股份有限公司

www.xincomm.com

版权所有©合肥东芯通信股份有限公司。非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

目录

1	前言.....	5
2	产品概述.....	5
2.1	简介.....	5
2.2	基本特性.....	6
2.3	功能框图.....	8
3	应用接口描述.....	9
3.1	Mini PCIe 接口定义.....	10
3.2	电源接口.....	12
3.3	USIM 接口.....	13
3.4	USB 接口.....	15
3.5	UART 接口.....	16
3.6	PERST#控制信号.....	18
3.7	WAKE#控制信号及休眠唤醒.....	19
3.8	LED_WWAN#控制信号.....	20
3.9	W_DISABLE#控制信号.....	20
3.10	天线接口.....	21
4	射频性能.....	22
4.1	工作频率.....	22
4.2	接收性能指标.....	22
4.3	发射性能指标.....	23
5	电气与环境特性.....	24
5.1	极限工作电压.....	24
5.2	工作与存储温度.....	25
5.3	数字 I/O 电气特性.....	25
6	机械结构特性.....	26
6.1	产品实物外观.....	26
6.2	结构尺寸.....	27
6.3	Mini PCIe 连接器.....	27
7	修订记录.....	28

图索引

图 2.1 JP3x 模组功能框图.....	9
图 3.1 JP3x 模组 USIM 参考电路.....	14
图 3.2 JP3x 模组 USB 参考电路.....	16
图 3.3 JP3x 模组 UART 参考电路.....	17
图 3.4 ADM3222 电平转换原理.....	18
图 3.5 JP3x 模组 PERST#时序.....	18
图 3.6 JP3x 模组 LED_WWAN#参考电路.....	20
图 3.7 JP3x 模组天线接口规格.....	21
图 6.1 JP3x 模组实物外观.....	26
图 6.2 Mini PCIe 模组正反面机械结构.....	27
图 6.3 Molex Mini PCIe 连接器机械结构.....	27
图 6.4 Molex Mini PCIe 边缘卡机械结构.....	28

表索引

表 2.1 JP3x 模组工作频段	6
表 2.2 JP3x 模组基本特性	6
表 3.1 JP3x 模组 Mini PCIe 接口定义	10
表 3.2 JP3x 模组电源接口	12
表 3.3 JP3x 模组 USIM 接口	13
表 3.4 JP3x 模组 USB 接口	15
表 3.5 JP3x 模组 UART 接口	16
表 3.6 JP3x 模组 WAKE#控制信号状态	19
表 3.7 JP3x 模组休眠唤醒信号定义	19
表 3.8 JP3x 模组 LED_WWAN#控制信号状态	20
表 3.9 JP3x 模组 W_DISABLE#控制信号状态	21
表 4.1 JP3x 模组工作频率	22
表 4.2 JP3x 模组接收性能指标	22
表 4.3 JP3x 模组发射性能指标	23
表 5.1 JP3x 模组极限工作电压范围	25
表 5.2 JP3x 模组适应温度范围	25
表 5.3 JP3x 模组数字 I/O 电气特性	25

1 前言

本文描述了合肥东芯通信股份有限公司 JP3x 系列 LTE Mini PCIe 模组(简称 JP3x 模组) 产品的硬件应用接口及无线通信接口的各项内容。

本文档旨在帮助应用开发者全面了解东芯通信 JP3x 系列 LTE Mini PCIe 模组的硬件组成结构、应用接口、无线通信性能、电气与环境特性等内容。在本文档及东芯通信其他系列文档的帮助下，用户能够快速进行原始设计和系统集成，顺利完成产品从设计到推向市场的过程。

2 产品概述

2.1 简介

东芯通信 JP3x 系列 LTE Mini PCIe 模组基于公司自主研发的第二代 LTE 基带芯片 XIN100R2，通过搭载不同的射频电路，能够支持 400MHz、500MHz 和 600MHz 专网频段和 LTE 公网频段。LTE Mini PCIe 模组可以通过标准 mini PCIe 接口内嵌到各种移动设备，或者通过（测试主板）USB 接口连接至 PC 机、笔记本等其他设备，为用户提供高速高性能的移动数据业务体验。模组基带芯片还实现了中国自主制定的基于 TD-LTE 技术的专网宽带集群通信标准（B-TrunC），可以支持多种特定应用。

JP3x 系列 LTE Mini PCIe 模组能够广泛的应用于各种消费类、工业及物联网领域，包括

- ◆ CPE
- ◆ 无线 POS 机

- ◆ 智能抄表
- ◆ 视频监控
- ◆ 车联网
- ◆ 平板电脑
- ◆ 其他移动互联网设备

JP3x 系列 LTE Mini PCIe 模组设计支持多个 LTE 频段，下表是各个模组支持的具体频段信息。

表 2.1 JP3x 模组工作频段

模组型号	支持频段
JP301	380~450MHz, Band38, B39, B40
JP302	606~678MHz, Band38, B39, B40
JP303	542~626MHz, Band38, B39, B40

2.2 基本特性

表 2.2 JP3x 模组基本特性

项目	规格
LTE 特性	
LTE 标准	3GPP LTE Release 9
双工模式	TDD 和 FDD
UE 等级	Category 4
数据速率	下行 150Mbps, 上行 50Mbps

带宽	1.4MHz, 3MHz, 5MHz, 10MHz, 15MHz, 20MHz
传输模式	TM1, TM2, TM3, TM4, TM5, TM6, TM7, TM8
TDD 上下行配比	UL/DL 子帧配置 配比 0,1,2,3,4,5,6
TDD 特殊子帧配比	0,1,2,3,4,5,6,7,8
MIMO	2x2, 4x2
调制方式	下行 QPSK/16QAM/64QAM, 上行 QPSK/16QAM/64QAM 上行支持 64QAM, 可扩展系统容量
安全	支持 SNOW-3G, AES 和祖冲之加密算法 (ZUC)
专网宽带集群功能	
技术标准	基于 TD-LTE 的专网宽带集群通信技术规范 (B-TrunC)
接口规格	
接口标准	支持标准的 Mini PCIe 接口
USB	USB 2.0
UART	9.6kbps~3Mbps (可根据需求和对端模式调整)
USIM	1.8V or 3.0V USIM
Sleep/Wakeup	可通过 GPIO 与 Host 进行休眠、唤醒控制; 也可通过 USB 接口进行休眠、唤醒控制
GPO	定时控制的 GPO 接口, 可对外部扩展射频前端器件进行控制
GPIO	通用的输入输出接口, 由基带芯片内部处理器进行控制。 除 2 个专用 GPIO PIN 外, 其它一些 PIN 也可被软件设置为 GPIO
硬件规格	

工作电压	3.3V ~ 5.2V (典型工作电压 3.7V)
存储空间	128M Byte NAND FLASH, 64M Byte LPDDR
峰值工作电流	<800mA@3.7V。条件: TDD 1T2R 上下行同时达到峰值速率, 上行发射功率 27dbm@专网频段
待机工作电流	<5mA@3.7V, 包括休眠和唤醒期间的平均电流。条件: 2560ms DRX 周期
机械特性	
物理尺寸	51mm x 30mm x 4.8mm
物理接口	52 pin Full-Mini PCI Express Card interface
天线数目	Dual-Antenna connector(1T2R MIMO)
天线接口	RSP122811-01 (SAMTEC)
环境特性	
工作温度	-40°C ~ +70°C
存储温度	-40°C ~ +85°C
湿度范围	5% ~ 95%
静电保护	2KV HBM

2.3 功能框图

JP3x 模组的总体功能框图如图 2.1 所示。由图可见, 模组及适配电路主要由以下几个部分组成:

- 电源电路;
- JP3x 模组;
- 应用接口及控制信号;

- 射频天线端口；

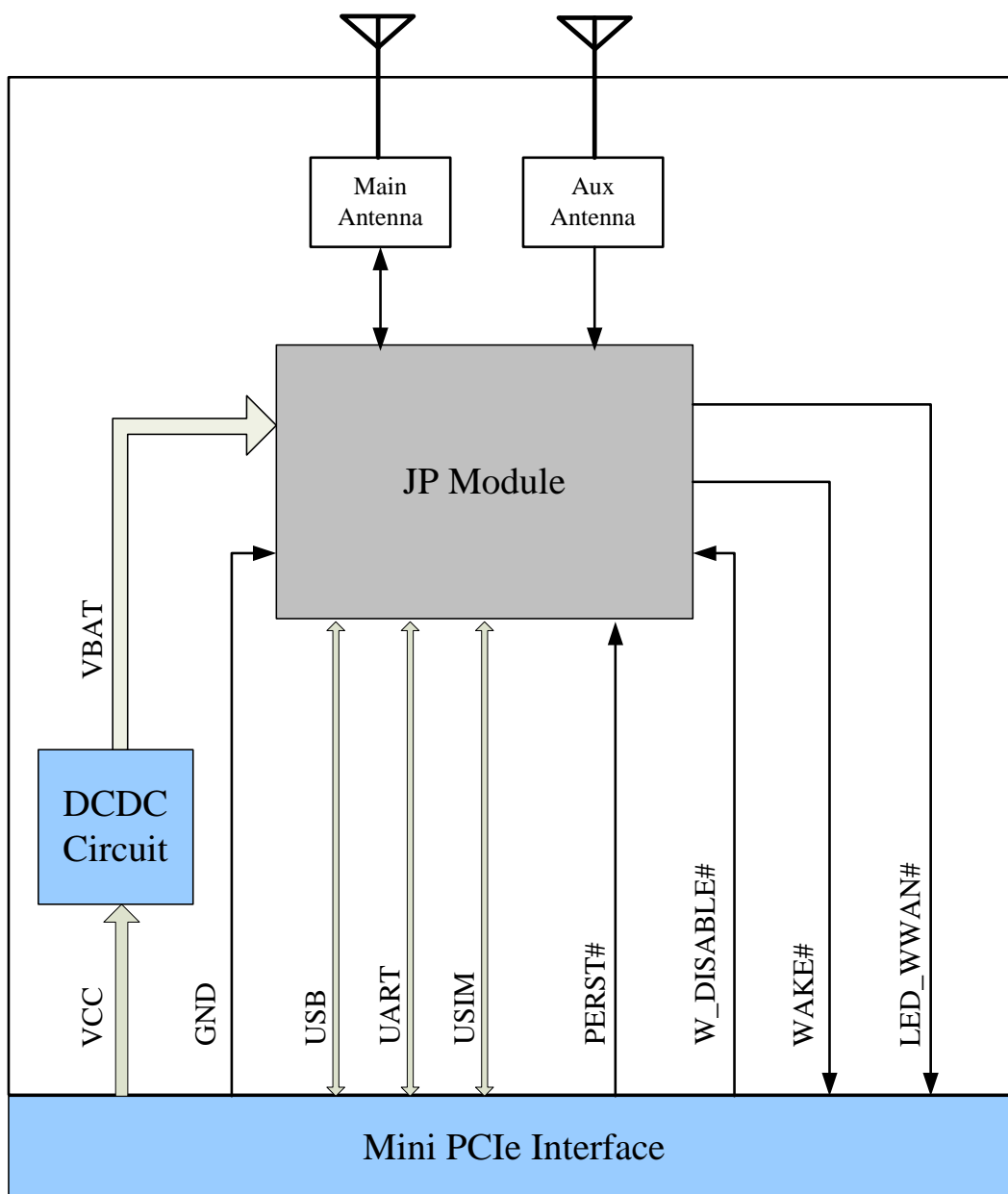


图 2.1 JP3x 模组功能框图

3 应用接口描述

本章详细介绍了 JP3x 系列 LTE Mini PCIe 模组的外部应用接口。这部分接口主要包括

- Mini PCIe 接口定义

- 电源接口
- USIM 卡接口
- USB 接口
- UART 接口
- 各种控制信号接口
- GPO/GPIO
- 射频天线接口

3.1 Mini PCIe 接口定义

表 3.1 JP3x 模组 Mini PCIe 接口定义

管脚	标准 Mini PCIe 信号名称	JP3x 信号名称	信号描述	I/O	电压域
1	WAKE#	WAKE#	CP 把 AP 从 Sleep 态唤醒, 低电平唤醒 AP, 高电平正常工作, 可用作 GPIO	O	3.3V
2	3.3V	3V3	供电	PI	
3	COEX1	AP_Wakeup_CP	AP 把 CP 从 sleep 态唤醒, 低电平有效	I	3.3V
4	GND	GND	接地		
5	COEX2	PA_EN#	定时控制 GPO, 可控制外接 PA	O	3.3V
6	1.5V	NC			
7	CLKREQ#	STATUS#	AP 向 CP 指示自己的当前状态, 低电平 AP 正常工作, 高电平 AP 休眠	I	3.3V
8	UIM_PWR	USIM_PWR	SIM 卡电源	PO	1.8V/3.0V

9	GND	GND	接地		
10	UIM_DATA	USIM_IO	SIM 卡数据	I/O	1.8V/3.0V
11	REFCLK-	NC			
12	UIM_CLK	USIM_CLK	SIM 卡时钟	O	1.8V/3.0V
13	REFCLK+	NC			
14	UIM_RESET	USIM_RST	SIM 卡复位	O	1.8V/3.0V
15	GND	GND	接地		
16	UIM_SPU	UART1_RX	UART1_RX, 可用作 GPIO	I	3.3V
17	UIM_IC_DM	ANTSW_RX	定时控制 GPO, 可控制外接 Switch	O	3.3V
18	GND	GND	接地		
19	UIM_IC_DP	ANTSW_TX	定时控制 GPO, 可控制外接 Switch	O	3.3V
20	W_disable1#	W_disable#	关闭模组电源, 低电平有效	I	3.3V
21	GND	GND	接地		
22	PERST#	PERST#	AP 重置 CP, 低电平有效	I	3.3V
23	PERn0	GPIO2	GPIO	I/O	3.3V
24	3.3V	3V3	供电	PI	
25	PERp0	GPIO1	GPIO	I/O	3.3V
26	GND	GND	接地		
27	GND	GND	接地		
28	1.5V	NC			
29	GND	GND	接地		
30	SMB_CLK	UART0_RX	UART0_RX, 可用作 GPIO	I	3.3V
31	PETn0	NC			
32	SMB_DATA	UART0_TX	UART0_TX, 可用作 GPIO	O	3.3V
33	PETp0	NC			
34	GND	GND	接地		

35	GND	GND	接地		
36	USB_D-	USB_DM	USB 信号 D-	I/O	3.3V
37	GND	GND	接地		
38	USB_D+	USB_DP	USB 信号 D+	I/O	3.3V
39	3V3	3V3	供电	PI	
40	GND	GND	接地		
41	3V3	3V3	供电	PI	
42	LED_WWAN#	LED_WWAN#	LED 控制输出，低电平有效。可用作 GPIO	O	3.3V
43	GND	GND	接地		
44	LED_WLAN#	LED_WLAN#	LED 控制输出，低电平有效。可用作 GPIO	O	3.3V
45	Reserved	NC	该管脚必须悬空		
46	LED_WPAN#	NC	该管脚必须悬空		
47	Reserved	NC	该管脚必须悬空		
48	1.5V	UART1_TX	UART1_TX, 可用作 GPIO	O	3.3V
49	Reserved	NC	该管脚必须悬空		
50	GND	GND	接地		
51	W_disable2#	NC	该管脚必须悬空		
52	3.3V	3V3	供电	PI	

3.2 电源接口

JP3x 模组通过 Mini PCIe 接口上的电源管脚取电。模组电源包括两种，一种是向模组输入的直流电源管脚，另一种是模组向外输出的 USIM 电源。模组的电源管脚分布如下所示。

表 3.2 JP3x 模组电源接口

管脚	名称	I/O	电压域
----	----	-----	-----

2, 24, 39, 41, 52	3V3	PI	3.3V~5.2V(典型值 3.7V)
4, 9, 15, 18, 21, 26, 27, 29, 34, 35, 37, 40, 43, 50	GND		接地
8	USIM_PWR	O	1.8V/3.0V

3.3 USIM 接口

JP3x 模组支持外接 USIM 卡。模组通过 Mini PCIe 接口输出 USIM 卡工作需要的所有控制信号，包括电源、复位、时钟及数据线。

表 3.3 JP3x 模组 USIM 接口

管脚	JP3x 信号名称	信号描述	I/O	电压域
8	USIM_PWR	SIM 卡电源	PO	1.8V/3.0V
10	USIM_IO	SIM 卡双向数据信号	I/O	1.8V/3.0V
12	USIM_CLK	SIM 卡时钟信号	O	1.8V/3.0V
14	USIM_RST	SIM 卡复位信号	O	1.8V/3.0V

JP3x 模组能够自适应支持 1.8V 和 3.0V 两种规格的 USIM 卡，但是 JP3x 模组上不带有 USIM 卡槽，用户需要在自己的设计中放置相关电路和卡槽。

USIM 卡槽部分的参考设计如下图所示。

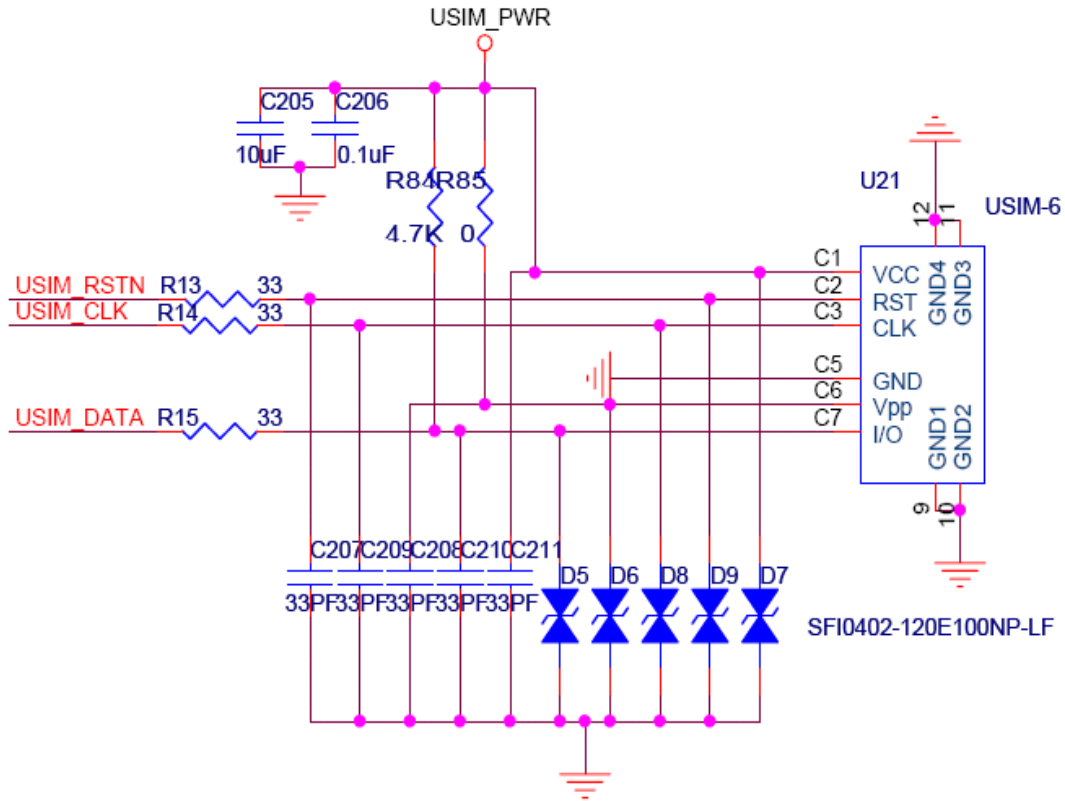


图 3.1 JP3x 模组 USIM 参考电路

为提高用户系统中 USIM 电路的可靠性和稳定性，主板上的 USIM 电路设计请参考如下设计规则：

- 将 USIM 相关电路布局和走线尽量靠近 Mini PCIe 卡槽和模组；
- USIM 卡槽尽量放置在远离 RF 射频电路干扰的位置；
- USIM 电源线和底线确保足够的线宽 (>0.3mm)，在电源附件增加一对去耦电容，并且尽量放置在靠近 USIM 卡槽的位置；
- 为获取好的 ESD 防护效果，建议在所有信号线上增加 TVS 保护电路，并尽量靠近 USIM 卡槽放置；
- 在所有信号线上串联 33 欧姆电阻，并放置 33pF 滤波电容，在 USIM_DATA 数据线增加上拉电阻，以增强抗干扰性能；

3.4 USB 接口

JP3x 模组支持 USB2.0 接口。这部分接口信号定义如下。

表 3.4 JP3x 模组 USB 接口

管脚	JP3x 信号名称	信号描述	I/O	电压域
36	USB_DM	USB 信号 D-	I/O	3.3V
38	USB_DP	USB 信号 D+	I/O	3.3V

JP3x 模组 Mini PCIe 接口包含的 USB 信号兼容标准的 USB2.0 协议, 支持高速传输模式 (High-speed, 480Mbps) 和全速传输模式 (Full-speed, 12Mbps)。

USB 接口作为模组的主要通信接口, 可以用来实现以下功能:

- 调试
- 固件更新
- AT 命令 (AT Command)
- 数据传输

JP3x 模组只能作为 USB 从设备 (Slave), 不支持 OTG 模式。USB 接口参考电路如下所示。

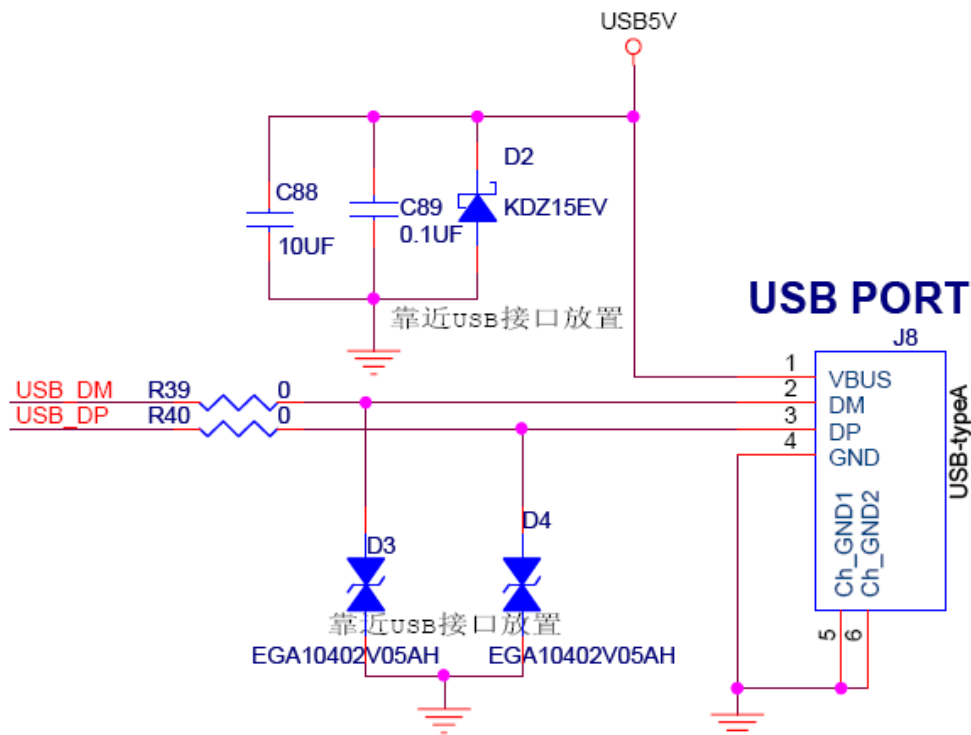


图 3.2 JP3x 模组 USB 参考电路

为确保 USB 接口符合标准 USB2.0 协议，主板上的 USB 电路设计请参考如下设计规则：

- USB 信号线作为高速差分信号线，走线应严格遵循 USB2.0 协议要求，走线应走在离地层最近的信号层；
- 做好阻抗匹配，阻抗要求 90 欧姆；
- USB 信号线要求等长、平行，避免直角走线，信号线周围用地线包好；
- USB 信号线上要增加 TVS 管电路，实现 ESD 保护；TVS 电路尽量放置在靠近 USB 连接器的位置；

3.5 UART 接口

JP3x 模组提供两个 UART 口供客户使用。UART 接口信号定义如下表所示。

表 3.5 JP3x 模组 UART 接口

管脚	JP3x 信号名称	信号描述	I/O	电压域
30	UART0_RX	UART0_RX, 可用作 GPIO	I	3.3V
32	UART0_TX	UART0_TX, 可用作 GPIO	O	3.3V
48	UART1_TX	UART1_TX, 可用作 GPIO	O	3.3V
16	UART1_RX	UART1_RX, 可用作 GPIO	I	3.3V

UART 接口支持的波特率包括 9600、19200、38400、57600、115200 等常用速率。最高可以支持到 3Mbps。

下面给出一个 JP3x 模组与 PC 机使用 UART 口进行通信的应用示例。由于 UART 接口不能直接支持 RS-232 信号电平, 因此在应用过程中需要在模组与 PC 端之间增加电平转换电路。下图为采用 ADI 公司的 ADM3222 串口电平转换芯片的参考电路。

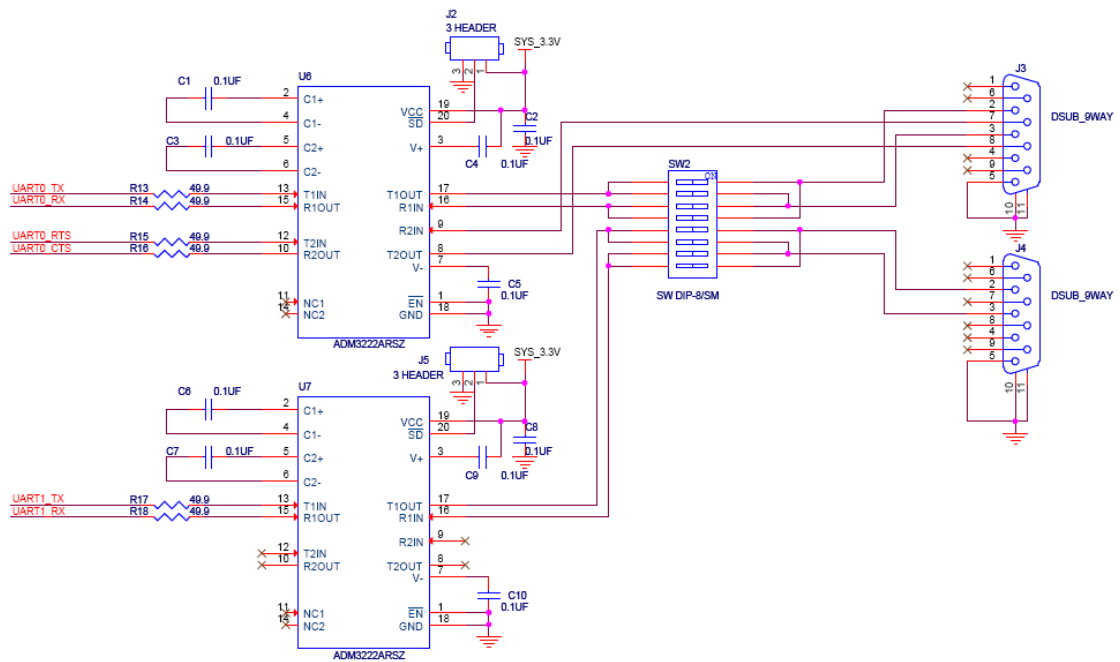


图 3.3 JP3x 模组 UART 参考电路

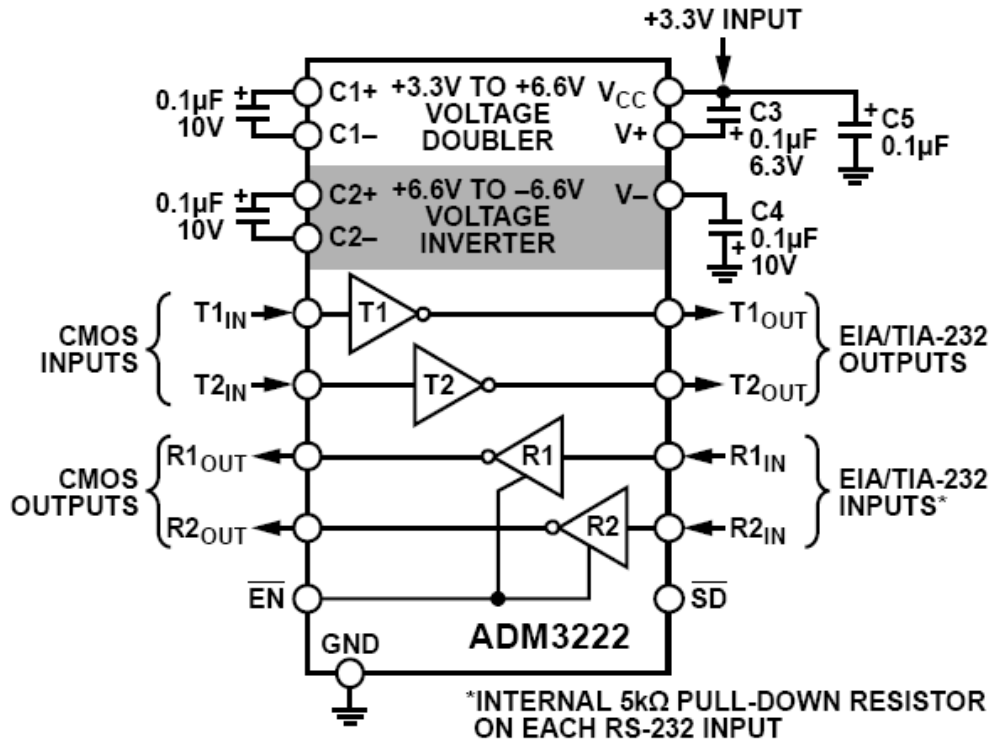


图 3.4 ADM3222 电平转换原理

3.6 PERST#控制信号

PERST#信号可用来实现对模组的硬件复位。当模组工作异常时，可以使用该管脚对模组进行复位操作。

PERST#信号低电平有效，复位时间不低于 50ms。该信号在模组上有上拉电阻。用户如果不使用该功能，可以悬空处理。

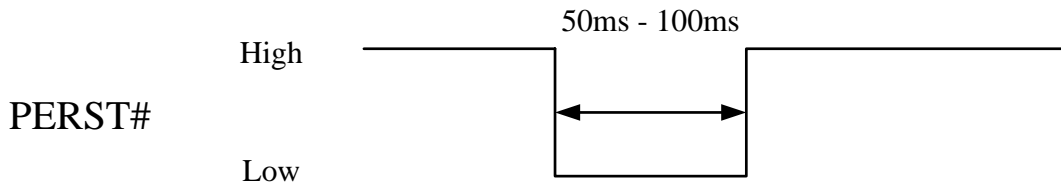


图 3.5 JP3x 模组 PERST#时序

3.7 WAKE#控制信号及休眠唤醒

WAKE#控制信号是 Mini PCIe 标准定义信号,其作为模组唤醒主机的接口信号,可以协助完成低功耗控制机制。该信号低电平有效,默认为高阻状态,用户需要在主机上设计上拉电阻。该信号状态描述如下表所示。

表 3.6 JP3x 模组 WAKE#控制信号状态

WAKE#	信号描述
低电平	模组唤醒主机
高阻态	正常工作状态

东芯 JP3x 模组同时支持模组与主机之间进行休眠和唤醒交互机制。该机制可以通过 4 线控制方式实现。4 线控制信号定义如下。

表 3.7 JP3x 模组休眠唤醒信号定义

管脚	JP3x 信号名称	信号描述	I/O	电压域
1	WAKE#	CP 把 AP 从 Sleep 态唤醒,低电平唤醒 AP,高电平正常工作,可用作 GPIO	O	3.3V
3	AP_Wakeup_CP	AP 把 CP 从 sleep 态唤醒,低电平有效	I	3.3V
7	STATUS#	AP 向 CP 指示自己的当前状态,低电平 AP 正常工作,高电平 AP 休眠	I	3.3V
33	CP_Ready	CP 向 AP 指示自己的当前状态,低电平 CP 正常工作,高电平 CP 休眠,可用作 GPIO	O	3.3V

此外,JP3x 模组支持 USB 接口实现休眠与唤醒功能。

3.8 LED_WWAN#控制信号

LED_WWAN#控制信号用来控制外部 LED 灯闪烁状态，从而正确指示模组网络注册状态。LED 指示灯参考电路如下图所示。为减小 LED 工作电流，应该在电路中串联一个保护电阻。

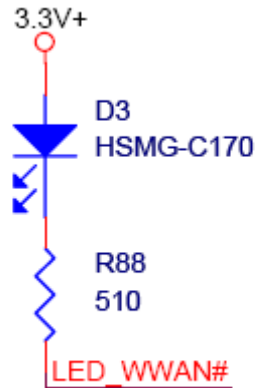


图 3.6 JP3x 模组 LED_WWAN#参考电路

LED_WWAN#信号低电平有效，此时 LED 灯正常发光。该信号状态描述如下表所示。

表 3.8 JP3x 模组 LED_WWAN#控制信号状态

LED_WWAN#	信号描述
低电平（LED 发光）	指示模组已经在网络上注册
高阻态（LED 不发光）	指示模组未在网络上注册

3.9 W_DISABLE#控制信号

W_DISABLE#信号用来控制 JP3x 模组上下电。该信号有别于模组的低功耗休眠状态，当信号为低电平时，强制模组下电。此时模组不消耗任何电流。

该信号在模组上有内部上拉电阻，用户不使用该功能时可以做悬空处理。W_DISABLE#信号的状态描述如下所示。

表 3.9 JP3x 模组 W_DISABLE#控制信号状态

W_DISABLE#	信号描述
低电平	模组下电
高电平	模组上电

3.10 天线接口

JP3x 模组天线接口包含一个主天线接口和一个分集天线接口。JP3x 模组的两个天线接口均采用 SAMTEC 公司的 RSP122811-01。射频天线接口规格尺寸如下图所示。

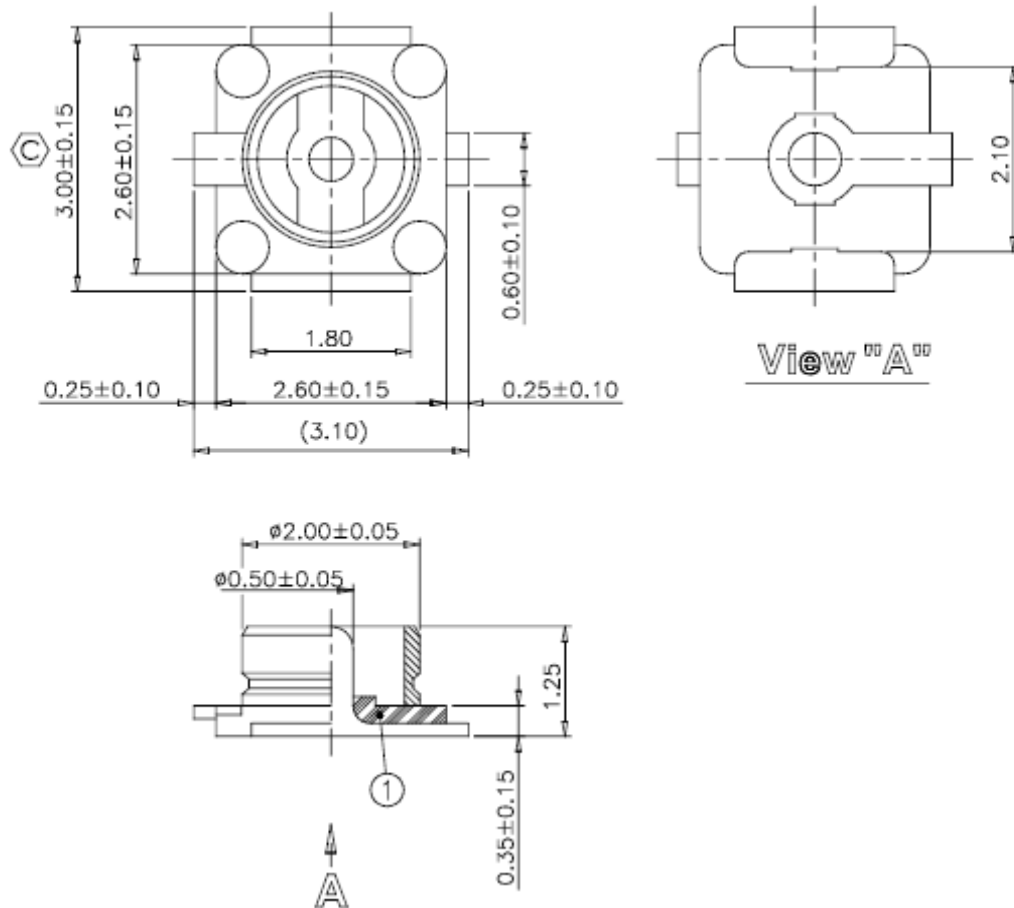


图 3.7 JP3x 模组天线接口规格

4 射频性能

4.1 工作频率

表 4.1 JP3x 模组工作频率

频段	UL	DL	模式
Band38	2570MHz – 2620MHz	2570MHz – 2620MHz	TDD
Band39	1880MHz – 1920MHz	1880MHz – 1920MHz	TDD
Band40	2300MHz – 2400MHz	2300MHz – 2400MHz	TDD
Band64	606MHz – 678MHz	606MHz – 678MHz	TDD
Band65	542MHz – 626MHz	542MHz – 626MHz	TDD
Band58	380MHz – 450MHz	380MHz – 450MHz	TDD

4.2 接收性能指标

表 4.2 JP3x 模组接收性能指标

频段	Band38/39/40
参考灵敏度	<-100 dBm @ 5MHz BW, QPSK
	<-97 dBm @ 10MHz BW, QPSK
	<-95.2 dBm @ 15MHz BW, QPSK
	<-94 dBm @ 20MHz BW, QPSK
最大输入电平	>-25.7dBm
杂散辐射	<-57dBm@100KHz
	<-47dBm@1MHz
频段	Band64/65/58
参考灵敏度	<-104 dBm @ 5MHz BW, QPSK
	<-101 dBm @ 10MHz BW, QPSK
	<-99.2 dBm @ 15MHz BW, QPSK

	<-98 dBm @20MHz BW, QPSK
最大输入电平	>-25.7dBm
杂散辐射	<-57dBm@100KHz
	<-47dBm@1MHz

4.3 发射性能指标

表 4.3 JP3x 模组发射性能指标

频段	Band38/39/40	
最大发射功率	23±2.7dBm	
最大功率降低	23+2.7/-3.7dBm	QPSK(Full RB)
	23+2.7/-3.7dBm	16QAM(Low RB)
	23+2.7/-4.7dBm	16QAM(Full RB)
最小发射功率	<-40dBm	
关断功率	<-48.5dBm	
频率误差	$ \Delta f \leq (0.1\text{PPM} + 15\text{Hz})$	
EVM	PUSCH 17.5% @QPSK; 12.5% @16QAM	
	PUCCH 17.5%	
	PRACH 17.5% @FFS	
载波泄露	<-24.2dBc@3.2dBm±3.2dB	
	<-19.2dBc@-26.8dBm±3.2dB	
	<-9.2dBc@-36.8dBm±3.2dB	
ACLR	<-29.2dBc@E-UTRA1	
	<-32.2dBc@ UTRA1	
	<-35.2dBc@ UTRA2	
发射机杂散辐射	<-36 dBm@BW=1KHz	9 kHz ≤ f < 150 kHz
	<-36 dBm@BW=10KHz	150 kHz ≤ f < 30 MHz
	<-36 dBm@BW=100KHz	30 MHz ≤ f < 1000 MHz

	<-30dBm@BW=1MHz	1 GHz ≤ f < 12.75 GHz
频段	Band64/65/58	
最大发射功率	27 ± 2.7dBm	
最大功率降低	27+2.7/-3.7dBm	QPSK(Full RB)
	27+2.7/-3.7dBm	16QAM(Low RB)
	27+2.7/-4.7dBm	16QAM(Full RB)
最小发射功率	<-40dBm	
关断功率	<-48.5dBm	
频率误差	Δf ≤ (0.1PPM+15Hz)	
EVM	PUSCH 17.5% @QPSK; 12.5% @16QAM	
	PUCCH 17.5%	
	PRACH 17.5% @FFS	
载波泄露	<-24.2dBc@3.2dBm ± 3.2dB	
	<-19.2dBc@-26.8dBm ± 3.2dB	
	<-9.2dBc@-36.8dBm ± 3.2dB	
ACLR	<-29.2dBc@E-UTRA1	
	<-32.2dBc@ UTRA1	
	<-35.2dBc@ UTRA2	
发射机杂散辐射	<-36 dBm@BW=1KHz	9 kHz ≤ f < 150 kHz
	<-36 dBm@BW=10KHz	150 kHz ≤ f < 30 MHz
	<-36 dBm@BW=100KHz	30 MHz ≤ f < 1000 MHz
	<-30dBm@BW=1MHz	1 GHz ≤ f < 12.75 GHz

5 电气与环境特性

5.1 极限工作电压

JP3x 模组各功能管脚的极限工作电压范围如下表所示。

表 5.1 JP3x 模组极限工作电压范围

参数	参数描述	最小值	最大值	单位
3V3	模组工作电压	-0.3	5.2	V
VIN _{1.8V}	IO 输入电压(1.8V)	-0.3	1.92	V
VIN _{3.3V}	IO 输入电压(3.3V)	-0.3	3.6	V

5.2 工作与存储温度

JP3x 模组能够适应的工作温度及存储温度范围如下表所示。

表 5.2 JP3x 模组适应温度范围

参数描述	最小值	最大值	单位
工作温度	-40	+70	°C
存储温度	-40	+85	°C

5.3 数字 I/O 电气特性

表 5.3 JP3x 模组数字 I/O 电气特性

Symbol	VDD Group	MIN	TYP	MAX	Unit
VIH	3.3V	3.0	3.3	3.6	V
VIL	3.3V	-0.3	-	0.8	V
VIH	3.0V	2.7	3.0	3.3	V
VIL	3.0V	-0.3	-	0.8	V
VIH	1.8V	1.62	1.8	1.92	V
VIL	1.8V	-0.3	-	0.35	V
VOH	3.3V	2.4	-	3.3	V
VOL	3.3V	0	-	0.4	V
VOH	3.0V	2.4	-	3.0	V
VOL	3.0V	0	-	0.4	V

VOH	1.8V	1.6	-	1.8	V
VOL	1.8V	0	-	0.45	V
VOH	2.8V	2.2	-	2.8	V
VOL	2.8V	0	-	0.44	V

6 机械结构特性

6.1 产品实物外观



图 6.1 JP3x 模组实物外观

6.2 结构尺寸

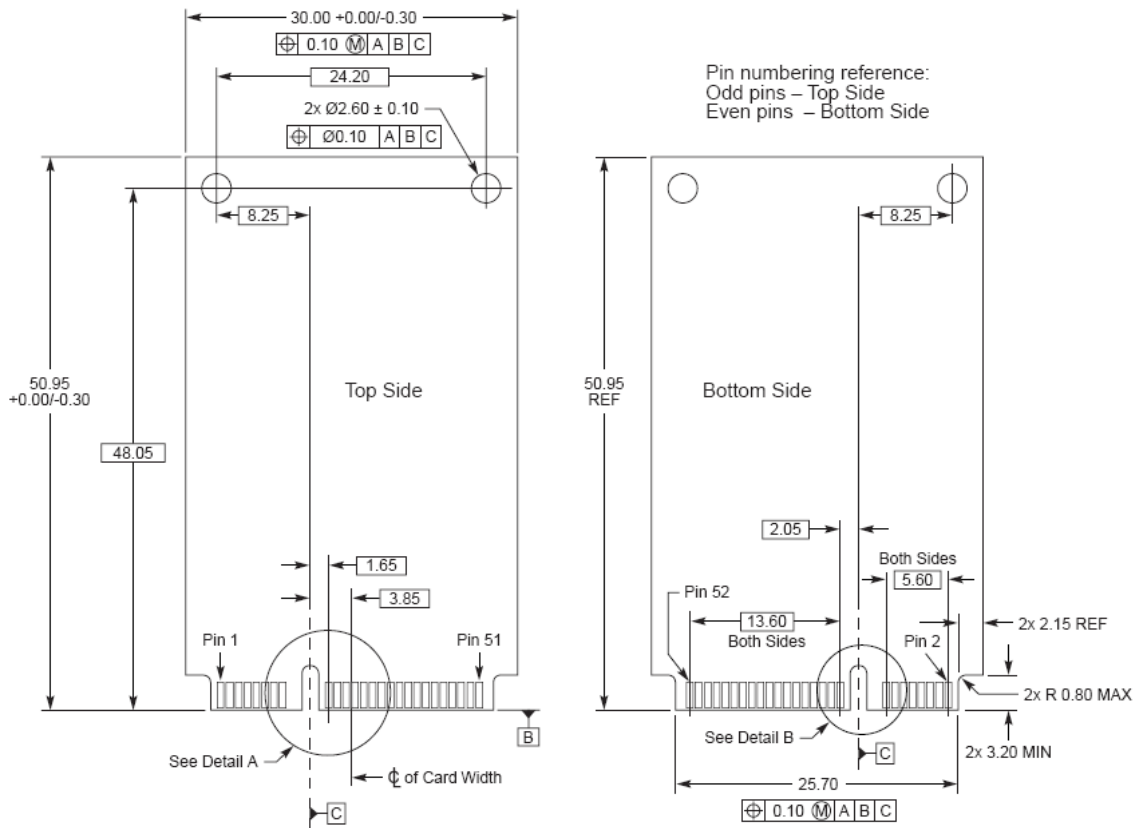


图 6.2 Mini PCIe 模组正反面机械结构

6.3 Mini PCIe 连接器

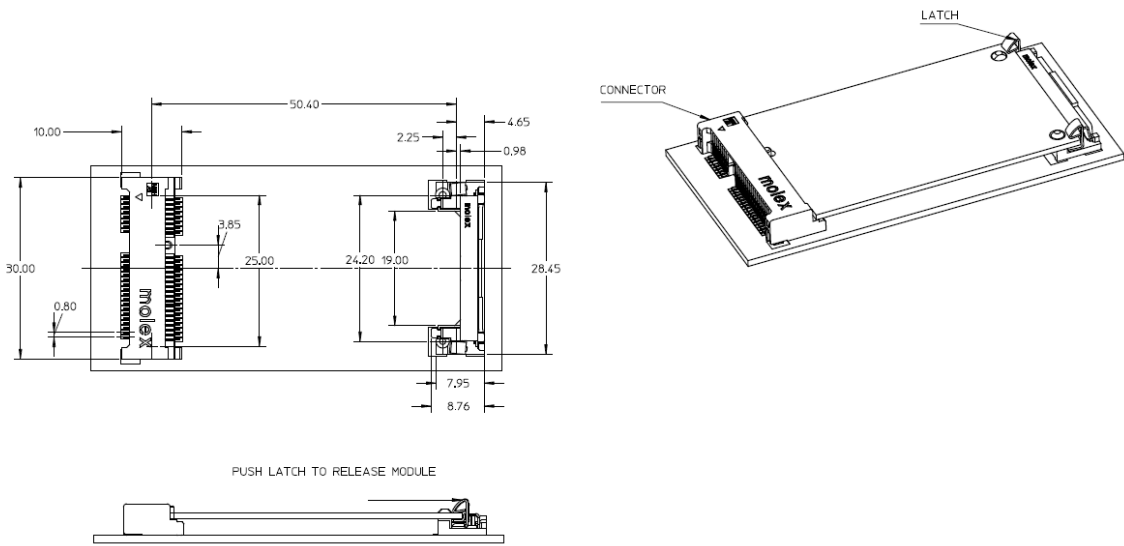


图 6.3 Molex Mini PCIe 连接器机械结构

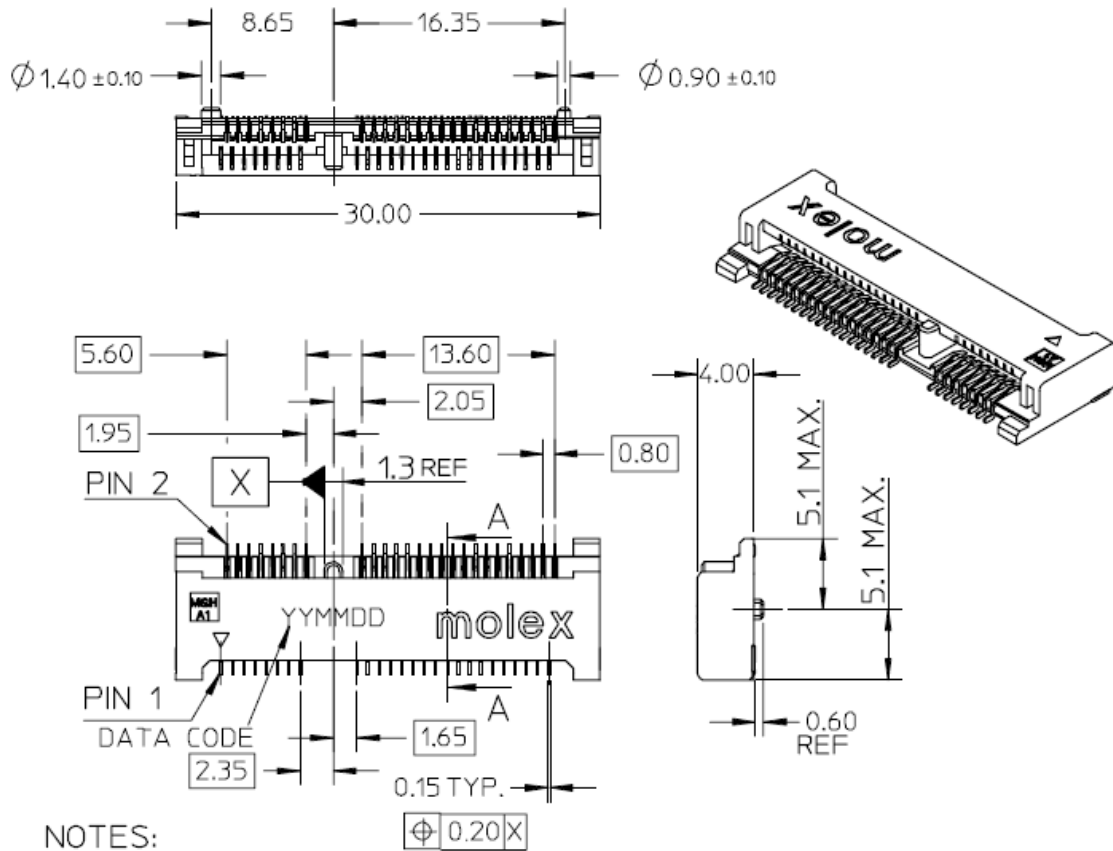


图 6.4 Molex Mini PCIe 边缘卡机械结构

7 修订记录

日期	修订版本	描述
2015-09-25	V1.0	定义 JP301,JP302,JP303
2016-02-24	V1.1	更新射频天线端口